

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-13662

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.<sup>5</sup>

H 01 L 25/04  
25/18

識別記号

庁内整理番号

F I

技術表示箇所

7220-4M

H 01 L 25/04

Z

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平3-163051

(22)出願日

平成3年(1991)7月3日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 矢倉 利明

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

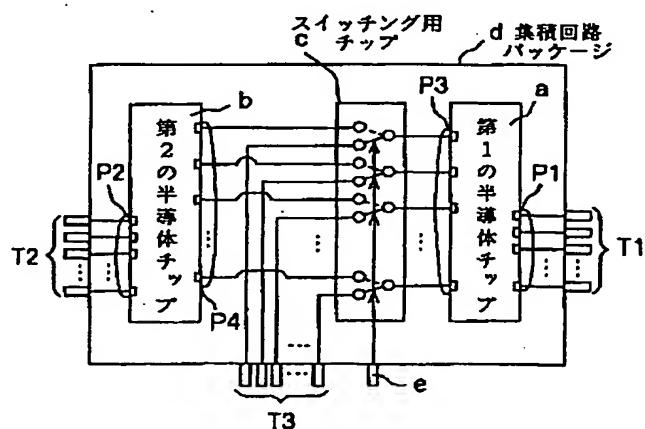
(74)代理人 弁理士 大川 宏

(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 マイクロコンピュータ機能を有する複数のチップを共通のパッケージに搭載したマルチチップモジュールにおいて、各チップは相互接続した状態での信号処理以外に各チップ独立の信号処理を可能とする。

【構成】 パッケージ内各チップ(a, b)の信号入出力電極パッド群(P3, P4)間に信号経路を確立する接続状態と、該信号入出力電極パッド群(P3, P4)をそれぞれ単独に共用の信号入出力端子群(T3)と接続する状態とに切り替え可能なスイッチング用チップ(c)を搭載する。パッケージ内各チップをそれぞれ独立に使用することができ、例えばテストモードのとき、各チップごとの標準化プログラムでテストを行うことができる。



## 【特許請求の範囲】

【請求項1】 外部回路に接続される信号入力端子群及び信号出力端子群並びに共用の信号入出力端子群を有する集積回路パッケージと、

該集積回路パッケージに共に搭載され、前記信号入力端子群からの信号が導かれる入力用電極パッド群及び出力用電極パッド群を有する第1の半導体チップ並びに前記信号出力端子群へ信号を導く出力用電極パッド群及び入力用電極パッド群を有する第2の半導体チップと、

前記第1の半導体チップの出力用電極パッド群及び第2の半導体チップの入力用電極パッド群間を接続する第1の状態と、前記共用の信号入出力端子群を前記第1の半導体チップの出力用電極パッド群又は第2の半導体チップの入力用電極パッド群と接続するとともに、前記第1の半導体チップ側の出力用電極パッド群及び第2の半導体チップ側の入力用電極パッド群間を切断する第2の状態とに切換え可能なスイッチング用チップとを、  
具備することを特徴とするマルチチップモジュール。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数の半導体チップを1つのパッケージに搭載したマルチチップモジュールに関し、その各内部半導体チップ間の配線を施すことなく、内部半導体チップ間での信号の授受と、外部回路及び各内部半導体チップの一つとの間での信号の授受とを可能とするものである。

## 【0002】

【従来の技術】 電子機器の多機能化が進み、ハードウエアの構成として、複数のマイクロコンピュータを相互接続したマルチコンピュータ方式が常用されるようになってきている。このようなシステムにおける実装方法は、各パッケージ化された個々のマイクロコンピュータパッケージを共通の印刷配線基板に搭載する構成を探るか、チップ状態のマイクロコンピュータ（以下、半導体チップと呼ぶ）を1つのパッケージ内に内蔵せる、いわゆるモジュール化する方法が採られる。今日では、ハードウエアの小型化の要求により、後者のモジュール化する方法が注目されている。

【0003】 複数の半導体チップを1つの集積回路パッケージにモジュール化した場合、例えば特開平2-244753号公報に記載されているように、個々の半導体チップは集積回路モジュール内で相互接続のための配線措置が採られる。そのモジュール内配線ラインの種類は、データ信号やコントロール信号を導くための信号ライン及びクロック信号や電源を導くための共通ライン等からなる。また、モジュールの基板となる集積回路パッケージには、内部半導体チップを外部回路に接続するための外部端子が配列される。これにより、複数の半導体チップを一つの集積回路パッケージに搭載したマルチチップモジュールは、チップ間信号処理と対外部回路間信

号処理を行う。

## 【0004】

【発明が解決しようとする課題】 ところで、上記複数の半導体チップを内蔵させたマルチチップモジュールは、例えば電気性能テスト、バーインテスト等のテストモードで使用するときなどには、個々の半導体チップごとにテストモードにする方が、各半導体チップ間を接続したマルチチップモジュールとしてテストモードにする方法より、以下の点で有利である。すなわち、マルチチップモジュールとしてテストモードにすると、チップの変更に対応してテストプログラムも変更しなければならない。その点、個々の半導体チップについてのテストプログラムであれば、それぞれの半導体チップについての標準化されたプログラムでテストを行うことができるためである。また、半導体チップ間が相互接続されていると、一つの半導体チップが例えばプログラムやデータを書き込み可能なOTP（One Time Programmable）マイクロコンピュータである場合、書き込み可能な半導体チップが他の一つの半導体チップからの信号電圧の影響を受け、正しくデータを書き込めない場合や、反対に書き込み信号電圧によって、他の一つの半導体チップを破壊することがあるからである。

の信号入出力端子群を上記第1の半導体チップの出力用電極パッド群又は第2の半導体チップの入力用電極パッド群と接続するとともに、上記第1の半導体チップ側の出力用電極パッド群及び第2の半導体チップ側の入力用電極パッド群間を切断する第2の状態とに切換える可能なスイッチング用チップとから構成される。

## 【0008】

【作用】本発明によるスイッチング用チップによって設定される第1の状態は、モジュール内の第1及び第2の半導体チップ間で信号経路が確立され信号処理を行うことができる。第2の状態は、第1の半導体チップの出力用電極パッド群及び共用の信号入出力端子群との間に接続され、第1の半導体チップが第2の半導体チップから切り離されて、第1の半導体チップ単独での外部回路との信号処理を行うことができる。第2の状態にすることで、例えばテストモード又は半導体チップへの書き込みに対応したモジュール内半導体チップのそれぞれ独立使用が可能となる。

## 【0009】

【実施例】以下、本発明を図示の実施例によって詳細に説明する。図1は本発明に係るマルチチップモジュールの一実施例を示す構成図である。図1において、dは例えば印刷配線基板によって形成された集積回路パッケージであり、本実施例は、上記集積回路パッケージdに、電気的に書き込み可能な半導体チップa（以下、第1の半導体チップと呼ぶ）、通常のプログラムROM、作業RAM等を備えた半導体チップb（以下、第2の半導体チップと呼ぶ）及び複数の二端子切換えスイッチ要素が配列したスイッチング用チップcを搭載したものである。

【0010】上記集積回路パッケージdは、外部回路に接続される信号入力端子群T1及び同じ外部回路又は別の外部回路に接続される信号出力端子群T2を有するとともに、第1及び第2の半導体チップa、bの各単独での信号入出力処理時に共通に使用する共用の信号入出力端子群T3を有している。これら信号入力端子群T1、信号出力端子群T2及び信号入出力端子群T3は、集積回路パッケージdの外部端子に相当する。そして、信号入力端子群T1は、第1の半導体パッケージaの入力用電極パッド群P1へ接続され、信号出力端子群T2には、第2の半導体チップbの出力用電極パッド群P2が接続されている。

【0011】第1の半導体チップaと第2の半導体チップbは、第1の半導体チップaから第2の半導体チップbへの信号処理を行うため、出力用電極パッド群P3及び入力用電極パッド群P4を有し、入力用電極パッド群P3から出力用電極パッド群P4への信号経路には、スイッチング用チップcが介装されている。また、本実施例では、共用の信号入出力端子群T3を介した第1の半導体チップaと外部回路との間での信号処理を行うた

め、同じくスイッチング用チップcを共用の信号入出力端子群T3と出力用電極パッド群P3との間に介在させている。

【0012】なお、スイッチング用チップcは、制御端子eからの制御信号によって、第1の半導体チップa及び第2の半導体チップb間の信号処理を行いうか、第1の半導体チップaと外部回路との間の信号処理を行いうかの、接続状態を切換え設定できるようになっている。上記構成において、本マルチチップモジュールを通常のマルチコンピュータシステムとして機能させるときは、スイッチング用チップcの各スイッチ要素が図の破線に示す接続状態に設定される制御信号を、制御端子eへ供給する。これにより、第1の半導体チップaの出力用電極パッド群P3と、第2の半導体チップbの入力用電極パッド群P4との間に接続状態となり、第1の半導体チップaから第2の半導体チップbへ信号が伝送されて信号処理を行うことができる。

【0013】また、第1の半導体チップaと外部回路との間で信号処理を行う場合は、スイッチング用チップcの各スイッチ要素が図の実線に示す接続状態に設定される制御信号を、制御端子eへ供給する。これにより、第1の半導体チップaの出力用電極パッド群P3と、共用の信号入出力端子群T3間に接続状態となり、第1の半導体チップaから外部回路へ信号が伝送されて、第1の半導体チップaと外部回路との間で信号処理を行うことができる。この場合、書き込み可能な半導体チップである第1の半導体チップaに対し書き込みを行う場合であっても、第2の半導体チップbの入力用電極パッド群P4がスイッチング用チップcによって、第1の半導体チップaの入力用電極パッド群P3と電気的に切断されているので、第1の半導体チップaの入力用電極パッド群P1に加えられる書き込み電圧が出力用電極パッド群P3に現れて、第2の半導体チップbを破壊するようなことはなく、また、反対に第2の半導体チップbの入力用電極パッド群P4に現れる信号電圧が上記書き込電圧に影響することもない。

【0014】また、本実施例のマルチチップモジュールの外部端子数は、第1及び第2の半導体チップa、bの各電極パッド群P1、P3及びP2、P4を全て集積回路パッケージd上の外部端子とする場合より、大略以下の数だけ減らすことができる。いま、第1及び第2の半導体チップa、bのクロック信号や電源等の共通信号を導くための電極パッドを含めたすべての電極パッド数をそれぞれm個とし、その内、 $m/2$ 個がスイッチング用チップcを介した処理の可能な電極パッドとすると、外部端子の数は、外部回路に対する入力端子群として $m/2$ 個と、出力端子群として $m/2$ 個と、それに共用の信号入出力端子群として $m/2$ 個の合計 $3m/2$ 個となる。これに対し、すべての電極パッドを外部端子とする $2m$ 個必要になる。したがって、本実施例のように、

半導体チップa、bを独立に使用するためのスイッチング用チップcを設け、これに共用の信号入出力端子群を設けることで、 $m/2$ の端子数を省略することが可能となる。これによる外部配線の節約量は多大である。

【0015】図2は上記マルチチップモジュールのテスト回路を説明するための説明図である。本マルチチップモジュールは、各半導体チップをそれぞれ単独で使用することができる。図2の構成では、第1の半導体チップaを単独でテストしている。すなわち、スイッチング用チップcが第1の半導体チップaの出力用電極パッド群P3と共に用の信号入出力端子群T3との間を接続しており、第1の半導体チップaを第2の半導体チップbから切り離した状態としている。そして、検査ベンチG及びピン変換アタッチメントFから成るテスト用回路から信号入力端子群T1を介して第1の半導体チップaの入力用電極パッド群P1にテスト用信号を送り、第1の半導体スイッチaの出力用電極パッド群P3から導出される応答信号をスイッチング用チップc及び信号入出力端子群T3を介してテスト用回路にフィードバックしている。

【0016】なお、本発明の他の実施例として、図3に示すように、第1の半導体チップaからスイッチング用チップcに制御信号を送出するようにしてもよい。上記実施例では、二つある半導体チップのうち一つをテストモードにする構成であるが、スイッチング用チップcの種類を図4に示す構成のものに代えることで、第1の半導体チップa及び第2の半導体チップbの双方を単独でテストモードにすることができる。図4の実施例に使用したスイッチング用チップcは、コモン端子S0を第1端子S1、第2端子S2及び第3端子S3にそれぞれ切り換え選択接続可能な三端子スイッチと、第1端子S1と共に接続された端子S4及び第2端子S2と共に接続された端子S4の開閉スイッチとから成る。そして、コモン端子S0を第1の半導体チップaの出力用電極パッ

ド群P3に接続し、第2端子S2を第2の半導体チップbの入力用電極パッド群P3に接続する。第3端子S3は空端子である。勿論、図のスイッチ要素は信号経路一つについての構成を示す。

【0017】このような構成によれば、三端子スイッチが第3端子S3を選択するときに、開閉スイッチの端子S4及びS5間を接続することにより、第2の半導体チップbの入力用電極パッド群P4と共に用の信号入出力端子群T3との間を接続することができ、第2の半導体チップbを単独で使用することができる。

#### 【0018】

【発明の効果】以上述べたように本発明によれば、モジュール内各半導体チップの信号入出力電極パッド群間に信号経路を確立する接続状態と、該信号入出力電極パッド群をそれぞれ単独に共用の信号入出力端子群と接続する状態とに切り換える可能なスイッチング用チップを搭載したので、パッケージ内各半導体チップ間の信号処理及び対外部回路との信号処理を外部端子を増加することなく、かつ、モジュール内半導体チップをそれぞれ独立に使用することができる。

#### 【図面の簡単な説明】

【図1】 本発明に係るマルチチップモジュールの一実施例を示す構成図

【図2】 図1に示すマルチチップモジュールのテスト回路を示す構成図

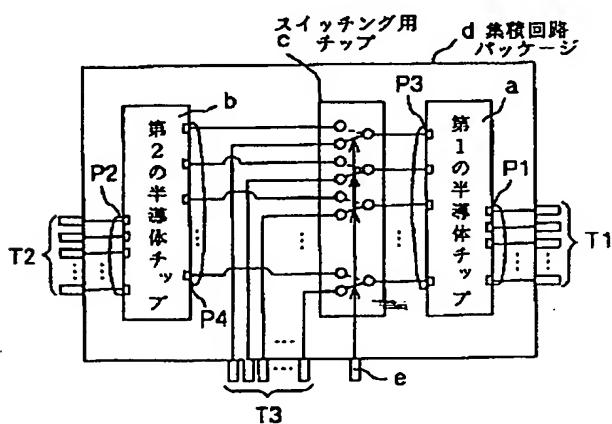
【図3】 本発明の他の実施例を示す構成図

【図4】 本発明の更に他の実施例を示す構成図

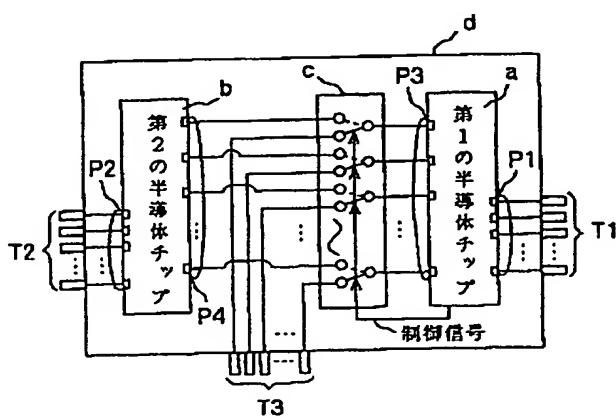
#### 【符号の説明】

a … 第1の半導体チップ、b … 第2の半導体チップ、c … スイッチング用チップ、d … 集積回路パッケージ、T1 … 信号入力端子群、T2 … 信号出力端子群、T3 … 共用の信号入出力端子群、P1、P2、P3 … 入力用電極パッド群、P4 … 出力用電極パッド群。

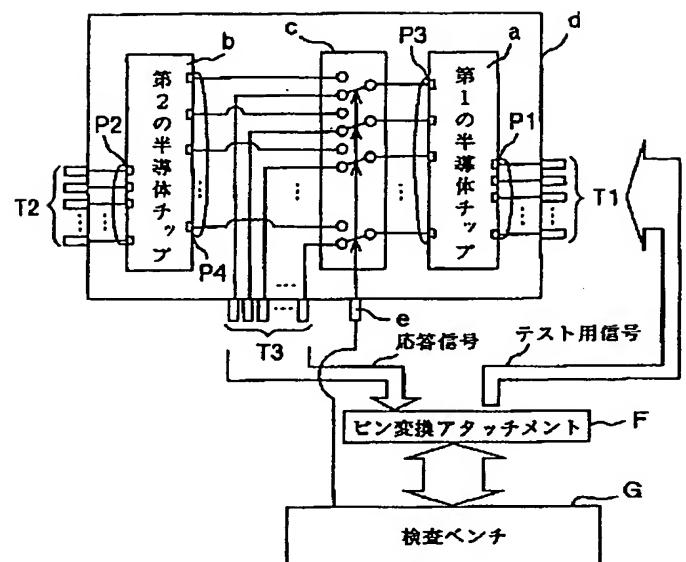
【図1】



【図3】



【図2】



【図4】

